

DERWENT-ACC-NO: 1990-055621

DERWENT-WEEK: 199008

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Active matrix for flat panel display - shortens
overlapping length of drain electrode and signal wire
through insulator to reduce short circuits of layers
NoAbstract Dwg 1,2/8

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1988JP-0159101 (June 29, 1988)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 02010331 A	January 16, 1990	N/A	021	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 02010331A	N/A	1988JP-0159101	June 29, 1988

INT-CL (IPC): G02F001/13, H01L021/33

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: ACTIVE MATRIX FLAT PANEL DISPLAY SHORTENING OVERLAP LENGTH
DRAIN

ELECTRODE SIGNAL WIRE THROUGH INSULATE REDUCE SHORT CIRCUIT
LAYER
NOABSTRACT

DERWENT-CLASS: P81 U11 U14

EPI-CODES: U11-C05F5; U14-H01A; U14-K01A2;

PAT-NO: JP402010331A

DOCUMENT-IDENTIFIER: JP 02010331 A

TITLE: ACTIVE MATRIX

PUBN-DATE: January 16, 1990

INVENTOR-INFORMATION:

NAME

YORITOMI, YOSHIFUMI
MATSUZAKI, EIJI
KENMOCHI, AKIHIRO
KOSHIMO, TOSHIYUKI
TAKANO, TAKAO
NAKATANI, MITSUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP63159101

APPL-DATE: June 29, 1988

INT-CL (IPC): G02F001/136, H01L021/336, H01L027/12, H01L029/784

US-CL-CURRENT: 438/106, 438/FOR.340

ABSTRACT:

PURPOSE: To improve the production yield of the active matrix by widening the gate electrode width under the part where drain electrodes and signal lines are provided so as to minimize the length in the superposed part of the drain electrodes and the signal lines.

CONSTITUTION: The active matrix is widened in the width of the gate electrodes 10 and is formed with the drain electrodes 20 for which the signal lines are partly used within the size on the plane where there are no steps of the gate electrodes 10. The superposition of the drain electrodes via a gate insulator, etc., does not, therefore, arise, on the step parts by the gate electrodes 10 and the scanning lines 11. The length at which the signal lines of the upper layers overlap on each other via the gate insulators is double the signal line width. This length can be shortened by as much as the longitudinal

direction of the gates.

COPYRIGHT: (C)1990,JPO&Japio

⑪ 公開特許公報 (A) 平2-10331

⑥Int.Cl.⁵
G 02 F 1/136
H 01 L 21/336識別記号
500序内整理番号
7370-2H

⑪公開 平成2年(1990)1月16日

8624-5F H 01 L 29/78 311 P※
審査請求 未請求 請求項の数 1 (全5頁)

⑫発明の名称 アクティブマトリクス

⑬特願 昭63-159101

⑭出願 昭63(1988)6月29日

⑮発明者 頼富美文 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑯発明者 松崎永二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑰発明者 鈎持秋広 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑱出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲代理人 弁理士 小川勝男 外1名

最終頁に続く

明細書

1. 発明の名称

アクティブマトリクス

2. 特許請求の範囲

1. 絶縁性基板上に形成されたゲート電極と、ゲート電極を覆うように形成されたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に対向して形成された半導体膜と、半導体膜上に形成されたドレイン電極およびソース電極とからなる薄膜トランジスタをスイッチング素子とし、各トランジスタのゲート電極を走査線に、ドレイン電極を信号線に、ソース電極を並列電極にそれぞれ並続してなるアクティブマトリクスにおいて、ゲート電極により生じる段差部上でゲート絶縁膜を介して設けられるドレイン電極の段差部上の長さを他の部分のドレイン電極幅よりも狭くし、かつ、走査線により生じる段差部上で、ゲート絶縁膜を介して信号線が直なる部分の長さを信号線の幅の2倍以下の長さとしたことを特徴とするアクティブマトリクス。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明は薄膜トランジスタをスイッチング素子としたアクティブマトリクスに係り、特に液晶等を用いたフラットパネルディスプレイに好適なアクティブマトリクスに関する。

〔従来の技術〕

アクティブマトリクス型液晶パネル等の回路は、第5図のように走査線(ゲート線とも云う)11、信号線(データ線とも云う)41、薄膜トランジスタ(Thin Film Transistor以下TFTと略す)1及び液晶2よりなっている。第6図及び第7図はTFT1が配置されている部分のアクティブマトリクスの平面図の例を示したもので、第8図は第7図のA-A'断面を示したものである。TFT1は第8図に示すようIC、絶縁性基板上にゲート電極10、ゲート絶縁膜20、半導体膜30を順次堆積し、半導体膜30上にドレイン電極40、ソース電極50を形成して作製される。ゲート電極10およびドレイン電極40は、それぞれ走査線11、信

号線41を用いてマトリクス状に接続されている。走査線11と信号線41の選択により、ソース電極50に接続した画素電極60に信号を伝達するようになっている。

従来技術のアクティブマトリクスのTFT1のドレイン電極40と信号線41は、第6図に示すように、それぞれ独立した形で形成されているものや、第7図に示すように、ドレイン電極40自体を信号線41の一部として用いたものがある。前者の例としては、特開昭62-296123、後者の例としては特開昭60-160173があげられる。

〔発明が解決しようとする課題〕

上記従来技術によるTFTでは、ゲート電極および走査線によって生じる段差上にゲート絶縁膜を介してドレイン電極および信号線が形成されており、この段差上のドレイン電極および信号線の長さが長くなることに対する配慮がされていない。

ゲート電極や走査線の段差上に設けられたゲート絶縁膜のステップカバレージが悪いと、この段差部で下層のゲート電極や走査線と上層のドレイ

スを構成するための走査線と信号線の交差部と、ゲート電極段差部上でのドレイン電極との直なり部がある。

前者は、同一基板上にマトリクスを構成する場合、さけることはできないが、後者は、構成上無くすることも可能である。特に、前者の交差部の長さ(信号線の幅)は10μm程度であるのに比べ、後者は、電極幅(TFTのチャネル長に対応)が50~100μm以上ある。ドレイン電極を信号線に接続するだけならば、その幅は、信号線の幅と同程度で十分接続できるため、ゲート電極の段差部上におけるドレイン電極の幅を他の部分より狭くして、段差部における上下層の直なり部の長さを短かくした。これにより上下層間の短絡発生確立を減少させることができる。また、ゲート電極を広くし、その上の一部分にドレイン電極を設けるようにすれば、ゲート電極段差部にドレイン電極が直なることを無くすることもできる。

このように上記目的は、ゲート電極や走査線の段差部上にゲート絶縁膜を介して設けられるドレ

ン電極や信号線の短絡が生じる。また、段差部では下層のゲート電極や走査線と上層のドレイン電極や信号線との距離も他の部分に比べて短かく、加えて、ゲート電極や走査線の段差部の電極エッジでは電界集中により絶縁破壊が起こりやすくなる。下層のゲート電極や走査線と上層のドレイン電極や信号線との間でどこか1ヶ所でも短絡すると、マトリクスの縦および横のライン全体の欠陥となり、表示装置として致命的な欠陥となる。このような致命的な欠陥となる短絡は、下層のゲート電極や走査線の段差部の上層にゲート絶縁膜を介して形成されるドレイン電極や信号線の長さが長くなるほど多く発生するという問題があった。

本発明の目的は、この段差部に起因する上下層の短絡発生を少なくし、製造歩留りの高いアクティブマトリクスを提供するにある。

〔課題を解決するための手段〕

従来技術におけるTFTでは、ゲート電極や走査線の段差上にゲート絶縁膜を介して設けられるドレイン電極や信号線の直なり部には、マトリク

スを構成するための走査線と信号線の交差部と、ゲート電極段差部上でのドレイン電極との直なり部がある。

〔作用〕

上記のように、ゲート電極および走査線の段差部上にゲート絶縁物を介してドレイン電極や信号線が直なりあう長さが短かくするので、その長さに比例して、段差部で発生する下層ゲート電極や走査線と上層のドレイン電極や信号線との短絡割合も減少する。

例えば、信号線の線幅を10μm、ドレイン電極幅を100μmとすれば、従来の構成による下層ゲート電極および走査線の段差上でゲート絶縁膜を介して形成されるドレイン電極および信号線の長さは120μmとなるが、上記構成においては30μm以下となる。従って、この長さに比例する段差部における下層と上層の短絡発生確率も $\frac{1}{4}$ 以下に減少することになる。

〔実施例〕

以下、本発明を実施例により説明する。

実施例 1

第1図は本発明による一実施例によるアクティブマトリクスのTFT近傍の素子の平面図を示し、第2図は第1図A-A'断面を示したものである。

アクティブマトリクス素子は、絶縁性基板上にクロム(Cr)膜等からなるゲート電極10、走査線11を形成し、その上にシリコン酸化膜等からなるゲート絶縁膜20、非晶質シリコン膜等からなる半導体膜30を堆積、加工し、酸化インジウムや酸化スズ等からなる透明導電膜60、クロム(Cr)やアルミニウム(A1)等からなるドレイン電極40、ソース電極50を形成してなる。

本実施例では、従来技術によるアクティブマトリクス素子に比べ、ゲート電極10の幅を広くしており、信号線の一部を利用してなるドレイン電極40をゲート電極10の段差を伴わない平面上の大きさの中で形成している。従って、ゲート電極10および走査線11による段差部上ではドレイン電極

上の信号線の幅を他の部分の幅より狭めたことがある。信号線の配線抵抗は、配線幅を狭める領域がごく一部ならば、ほとんど影響ない。

実施例 3

第4図は、別の実施例を示すもので、信号線がドレイン電極とは別に設けられた場合の実施例である。ドレイン電極と信号線を結ぶための配線端としては、信号線の幅程度が確保されればよい。

〔発明の効果〕

本発明によれば、ゲート電極や走査線により生じる段差上にゲート絶縁膜を介して配線されるドレイン電極や信号線との交差部の長さを $\frac{1}{2} \sim \frac{1}{6}$ に低減できるので、段差部に起因する短絡発生確率も、これに比例して低減でき、アクティブマトリクスの製造歩留りを向上させる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の平面図(部分)、第2図は第1図A-A'線の断面図、第3図および第4図は本発明の一実施例の平面図(部分)、第5図はアクティブマトリクス型液晶パネルの等価

がゲート絶縁物等を介して直なることはない。本実施例における下層ゲート電極および走査線の段差部において、上層の信号線がゲート絶縁物を介して直なりあり長さは、信号線幅の2倍だけである(第1図中a-a', b-b')。第7図の従来構成に比較すれば、ゲートの長さ方向(第7図中c-c')分だけ短かくすることができた。実際的な長さとして、通常信号線幅は $10\mu m$ 程度、ゲート電極長は $100\mu m$ 程度であることを考慮すれば、段差部上の長さは従来 $120\mu m$ が $20\mu m$ に短かくなる(約 $\frac{1}{6}$)。これに伴い、段差上での上下層の短絡発生確率も約 $\frac{1}{6}$ に減少する。なお、本実施例ではゲート電極とソース電極の短絡発生も減少させるために、ゲート電極段差部上のソース電極の幅を他の部分のソース電極幅よりも狭くして段差上で直なりあり長さを短かくしている。

実施例 2

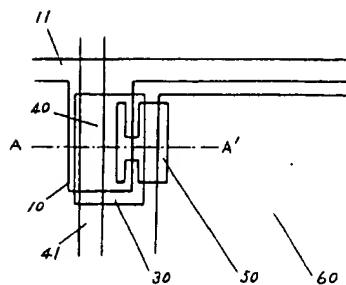
第3図は別の実施例を示したもので、実施例1と異なる点は、走査線段差部における信号線との交差部の長さを短かくするために、走査線段差部

回路、第6図および第7図は従来技術によるアクティブマトリクスの平面図(部分)、第8図は第7図のA-A'線の断面図。

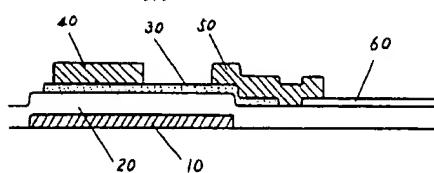
10…ゲート電極、11…走査線、20…ゲート絶縁膜、30…半導体膜、40…ドレイン電極、41…信号線、50…ソース電極、60…画素電極。

代理人弁理士 小川勝男

第 1 図

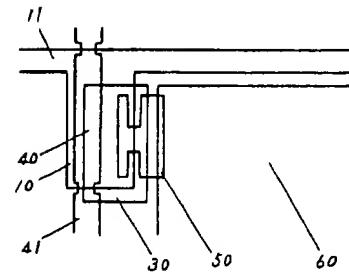


第 2 図



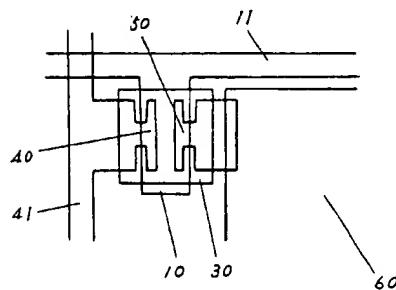
10: ゲート電極 40: ドレイン電極
11: 走査線 41: 信号線
20: ゲート絶縁膜 50: ノード電極
30: 半導体膜 60: 画素電極

第 3 図



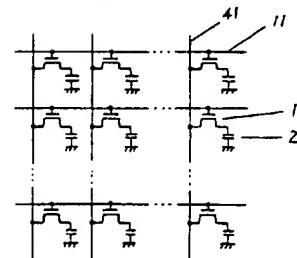
10: ゲート電極 41: 信号線
11: 走査線 50: ノード電極
30: 半導体膜 60: 画素電極
40: ドレイン電極

第 4 図

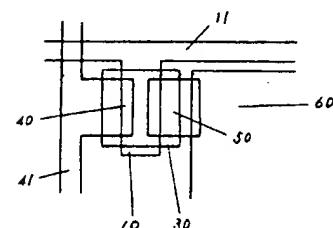


10: ゲート電極 41: 信号線
11: 走査線 50: ノード電極
30: 半導体膜 60: 画素電極
40: ドレイン電極

第 5 図

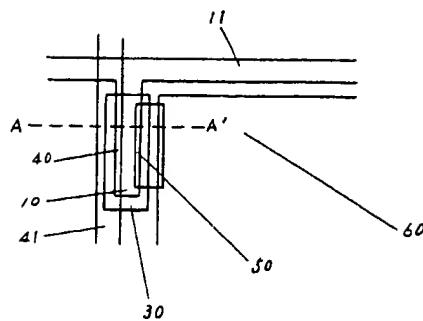


第 6 図

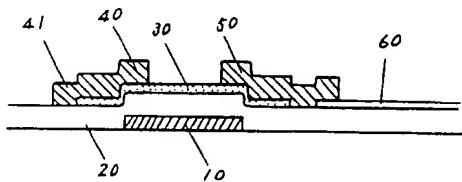


1: 薄膜トランジスタ 40: ドレイン電極
2: 液晶 30: 半導体膜
11: 走査線 50: ノード電極
41: 信号線 60: 画素電極
10: ゲート電極

第 7 図



第 8 図



10: ゲート電極 40: ドレイン電極
 11: 走査素子 41: 信号線
 20: ゲート絶縁膜 50: ソ-入電極
 30: 半導体膜 60: 画素電極

第1頁の続き

⑤Int. Cl. 5 識別記号 庁内整理番号
 H 01 L 27/12 A 7514-5 F
 29/784

⑦発明者 小下 敏之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
 ⑦発明者 高野 隆男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
 ⑦発明者 中谷 光雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内